

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-114637

(43)Date of publication of application : 02.07.1984

(51)Int.Cl.

G06F 9/24

(21)Application number : 57-223797

(71)Applicant : HITACHI LTD

(22)Date of filing : 22.12.1982

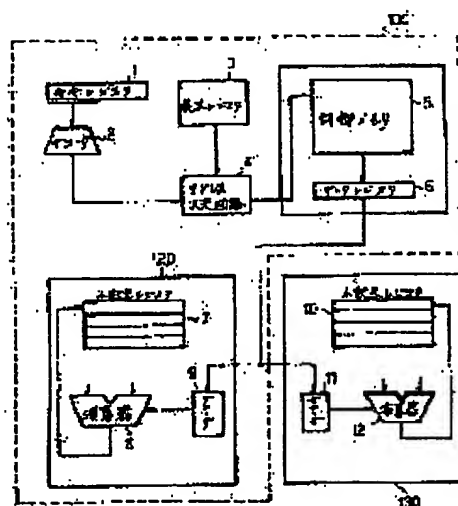
(72)Inventor : TANIGUCHI TOSHIHISA

(54) DATA PROCESSING DEVICE

(57)Abstract:

PURPOSE: To continue a processing in case when a machine check is generated without increasing a control memory by placing each microprogram in case of an operation of an additional mechanism and in case of a separating operation, in an overlay structure by the control memory.

CONSTITUTION: When an instruction is set to an instruction register 1, a decoder 2 decodes an operation code of its instruction, and outputs an address (CS address) of a control memory (CS)5 in which a microprogram is stored. An address determining circuit 4 selects the CS address of the decoder 2 in case when a high speed arithmetic unit 130 being an additional mechanism is not operated, and selects that which shifts some value to the CS address of the decoder 2 in case when the high speed arithmetic unit 130 is operated. In case when the high speed arithmetic unit 130 is unavailable, the contents of a data register 6 are decoded by a decoder 9, and its floating decimal point instruction is processed by using a general arithmetic unit 120.



⑩ 日本国特許庁(JP)

⑪ 特許出願公告

⑫ 特許公報(B2)

平3-73008

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公告 平成3年(1991)11月20日

G 06 F 9/24
9/06
9/38

3 2 0
4 1 0 R
3 7 0 C

8120-5B
7927-5B
7927-5B

発明の数 1 (全5頁)

⑮ 発明の名称 データ処理装置

審判 平1-5892

⑯ 特願 昭57-223797

⑰ 公開 昭59-114637

⑱ 出願 昭57(1982)12月22日

⑲ 昭59(1984)7月2日

⑳ 発明者 谷口 俊久 神奈川県秦野市堀山下1番地 株式会社日立製作所神奈川工場内

㉑ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉒ 代理人 弁護士 小川 勝男 外1名

審判の合議体 審判長 田中 康博 審判官 林 紘樹 審判官 高橋 英生

㉓ 参考文献 特開 昭52-98438(JP, A) 特開 昭48-96260(JP, A)

1

2

① 特許請求の範囲

1 所定命令の実行を付加機構の有無により、付加機構を接続しているときは付加機構を使用して高速に処理し、付加機能を使用しない場合は本体内部機構で処理する形式のデータ処理装置において、

マイクロプログラム格納用制御メモリと、
付加機能が動作可能状態か否かを表示するラツチと、

実行開始アドレスが異なる2つのマイクロプログラムであつて、付加機構で前記所定命令を実行するための第1のマイクロプログラムと本体内部機構で前記所定命令を実行するための第2のマイクロプログラムとを、前記ラツチの状態により、いずれか一つのみ選択して前記制御メモリの共通領域にロードする手段と、

前記所定命令を実行する時点で、前記ラツチの状態により、前記制御メモリの読み出し開始先頭アドレスを変更してプログラムを読み出し、付加機構あるいは本体内部機構のいずれかで実行させる手段とを有し、

前記第1のマイクロプログラムは、前記第2のマイクロプログラムの実行開始アドレスに対応するアドレス位置に、エラー処理ルーチンの先頭が配置されており、

前記第2のマイクロプログラムは、前記第1の

マイクロプログラムの実行開始アドレスに対応するアドレス位置に、エラー処理ルーチンの先頭が配置されていることを特徴とするデータ処理装置。

5 発明の詳細な説明

〔発明の利用分野〕

本発明は付加機構を設置して性能向上を図っているデータ処理装置に関し、詳しくは、同一命令の実行を、付加機構で実行するためのマイクロプログラムと処理装置本体の内部機構で実行するためのマイクロプログラムの制御メモリへの配置方法に関するものである。

〔従来技術〕

データ処理装置の性能向上を図る方法の一つに、例えば高速演算機構を付加機構として持ち、浮動小数点演算命令を該付加機構を使用して高速に処理する方法がある。このような付加機構を持つデータ処理装置では、付加機構でマシンチェツク等が発生した時、該付加機構を自動的に切離し、付加機構で行っていた命令の処理の処理装置本体の内部機構で続行させることになる。このため、例えば浮動小数点演算命令のマイクロプログラムとして、付加機構動作時用と切離し動作時用の2種類のマイクロプログラムが必要となる。

25 ところで、従来はこのような2種類のマイクロプログラムを制御メモリ上に初めから準備してお

(2)

特 公 平 3-73008

3

き、付加機構の使用の可／不可により、いずれかのマイクロプログラムを使用するようにしていた。この為、高速演算機構等を付加したデータ処理装置で、マシンチェック発生の場合、付加機構を切離して処理の続行を行うには、制御メモリの容量増加が必要であるという欠点があった。

また、従来は、実行すべきマイクロプログラムの種類と付加機構切離し状態がハードウェア等の障害により一致しなくなつた場合に、チェック機能を働かすために、ハードウェア構成レベル情報とマイクロプログラムのレベル情報を夫々独立に持ち、マイクロプログラムのロード時に、ハードウェアの比較回路でこの2つのレベルを比較し、一致しているか否かをチェックしていた。

しかし、このようなチェック機能だと、比較回路のごときハードウェアが像かする。

【発明の目的】

本発明の目的は、付加機構用の第1のマイクロプログラムと本体内部機構で同様の処理を実行するための第2のマイクロプログラムとを、いずれか一つのみ選択して前記制御メモリの共通領域にロードする場合に、マイクロプログラムとハードウェアの動作状態のチェック機能を少ない物量で実行することにある。

【発明の概要】

このため本発明では、第1のマイクロプログラムと第2のマイクロプログラムは実行開始アドレスが異ならしめ、さらに、第1のマイクロプログラムは、前記第2のマイクロプログラムの実行開始アドレスに対応するアドレス位置に、エラー処理ルーチンの先頭が配置するようにせしめ、また前記第2のマイクロプログラムは、前記第1のマイクロプログラムの実行開始アドレスに対応するアドレス位置に、エラー処理ルーチンの先頭が配置するようにせしめる。

そして、ラッチが付加機構が動作可能状態を表示するとき、制御メモリの第1のマイクロプログラムの実行開始アドレスからプログラムを読み出し、ラッチが付加機構が動作不可能状態を表示するとき、先頭アドレスを変更してプログラムを読み出し、制御メモリの第2のマイクロプログラムの実行開始アドレスからプログラムを読み出すものである。

【発明の実施例】

4

第1図は本発明の一実施例のブロック図である。第1図において、破線で囲まれた100が本体処理装置、130が付加機構である高速演算装置を示す。高速演算装置130には浮動小数点レジスタ10、デコーダ11、演算器12が含まれる。120は本体処理装置内部にある汎用演算装置を示し、浮動小数点レジスタ7、演算器8、デコーダ9が含まれる。

命令レジスタ1に命令がセットされると、デコーダ2は該命令のオペレーションコードをデコードして、その命令の実行を司るマイクロプログラムが格納されている制御メモリ(CS)5のアドレス(CSアドレス)を出力する。一方、高速演算装置130が使用可能か否かはレジスタ3に表示されている。アドレス決定回路4は表示レジスタ3の出力により、デコーダ2で求めたCSアドレスをそのままCS5のアドレスとするか、あるいは、デコーダ2で求めたCSアドレスに或る値シフトしたものをCS5のアドレスとするか決定する回路で、例えば、高速演算装置130が不動作の場合はデコーダ2のCSアドレスを選択し、高速演算装置130が動作している時は、デコーダ2のCSアドレスに或る値シフトしたものをを選択する。CS5のマイクロプログラム配置については後述する。

CS5から読み出されたデータ(マイクロ命令)はデータレジスタ6にセットされ、高速演算装置130あるいは本体処理装置内の汎用演算装置120に与えられる。すなわち、高速演算装置130が使用可の場合は、浮動小数点命令がデコードされる都度、データレジスタ6の内容を高速演算装置130のデコーダ11でデコードし、浮動小数点レジスタ10、演算器12を制御する。この高速演算装置130が動作している時は、汎用演算装置120は使用されない。又、高速演算装置130が使用不可の場合は、浮動小数点命令がデコードされても、デコーダ9でデータレジスタ6の内容をデコードし、汎用演算装置120を使用して該浮動小数点命令を処理する。

第2図は第1図における表示レジスタ3の具体的構成例を示したものである。图中、301は高速演算装置130が接続されている時“1”になるラッチ、302は高速演算装置130を切離す時“1”になるラッチ、303は反転回路、30

(3)

特公 平 3-73008

5

4はアンドゲートである。すなわち、アンドゲート304の出力305が“1”の時、高速演算装置130が正常に動作していることを示し、この場合、第1図のアドレス決定回路4は、デコード2で浮動小数点命令がデコードされると、高速演算装置130を制御するマイクロプログラムのCSアドレスを生成するようになっている。

第3図及び第4図は本発明の中心をなすCSのオーバーレイ構造を示したもので、第3図は第2図の出力305が“1”のときのCS構造、第4図は“0”のときのCS構造である。図中、501は付加装置の接続の有無に関係ない共通領域である。付加装置用のマイクロプログラム502（第1のマイクロプログラム）と付加装置切離された場合のマイクロプログラム503（第2のマイクロプログラム）がCS上でオーバーレイ構造になる浮動小数点命令マイクロプログラムの領域で、502は305=“1”のとき、503は305=“0”の時、それぞれCS上にロードされる。また、同じ浮動小数点命令に対して、前述したように、305の値によつて異なるCSアドレスが与えられ、これがその命令を処理するマイクロプログラムの先頭アドレスとなる。例えば、本実施例では、305=“1”のとき“BXX”番地が305=“0”のとき“AXX”番地が、それぞれ与えられる。

すなわち、高速演算装置130が動作可であれば、305=“1”となり、この時、CS5には第3図の502がロードされいて、浮動小数点命令が来ると、“BXX”番地に分岐する。CS5の内容は第1図のデータレジスタ6に読み出されデコード11で解読されて演算器12を制御する。この時、デコード9の結果は演算器8の動作を禁止する。高速演算装置130でマシンチェックが検出されて、切離す事になると、305が“0”にセットされる。305が“1”から“0”に変化したことにより、CS5のオーバーレイ領域は第4図の503に置き換えられる。305=“0”であるから、命令に対するCSアドレスは“AXX”番地が与えられる。この場合、データレジスタ6に読み出されたデータはデコード9で解読されて、演算器8を制御する。一方、デコード11のデコード結果はノー・オペレーションで、演算器12は動作しない。また、本体内部の汎用演算装置120を使用して命令を再実行する前に浮動小数点レジスタ

6

10の内容は7に移し替えられる。

本実施例によれば、マシンチェックによる高速演算装置の切離しをCSの増加なしに実現できる。

次に、CS上にロードされているマイクロプログラムとハードウェアの動作状態のチェック機能について説明する。第3図の502がロードされている時、正常なら305=“1”で“BXX”が指定される。この時、例えば第1図のアドレス決定回路4の論理の不良により、誤まつて“AXX”を指定した時は、エラー処理のルーチンに分離するように、502の中に相手側の各浮動小数点命令マイクロプログラムの先頭アドレスを用意しておく。誤まつたCSアドレスにアクセスすると、まず305の値をテストし、ハードウェア動作状態とCS5にロードされているマイクロプログラムとの組み合わせが正しいかチェックする。組合せが正しければ、ハードウェアの故障として処理する。組合せが間違つていれば、別のマイクロプログラムの再ロードして処理を続行する。

以上の機能より、性能を落さずに、ハードウェアとマイクロプログラムの組合せのチェックができる。

〔発明の効果〕

本発明によれば、CSの一部をオーバーレイ構造にすることにより、付加機構を接続したり、あるいはマシンチェックを起こした付加機構を切離したりするのに、CS容量を増すことなくマイクロプログラムを格納できる効果がある。更に、付加機構が動作可能状態のとき、誤つて制御メモリの第2のマイクロプログラムの実行開始アドレスからプログラムを読み出した場合には、その位置に格納されたエラー処理ルーチンが直ちに起動して、エラー処理ができるという効果がある。また、付加機構が動作不可能状態のときも、同様にエラー処理が直ちにできる。

図面の簡単な説明

第1図は本発明の一実施例の全体ブロック図、第2図は第1図における表示レジスタ3の詳細図、第3図及び第4図は第1図における制御メモリ5のオーバーレイ構造を説明する図である。

100……本体処理装置、120……本体内部の汎用演算装置、130……高速演算装置、1……命令レジスタ、2, 9, 11……デコード、3……表示レジスタ、4……アドレス決定回路、5

(4)

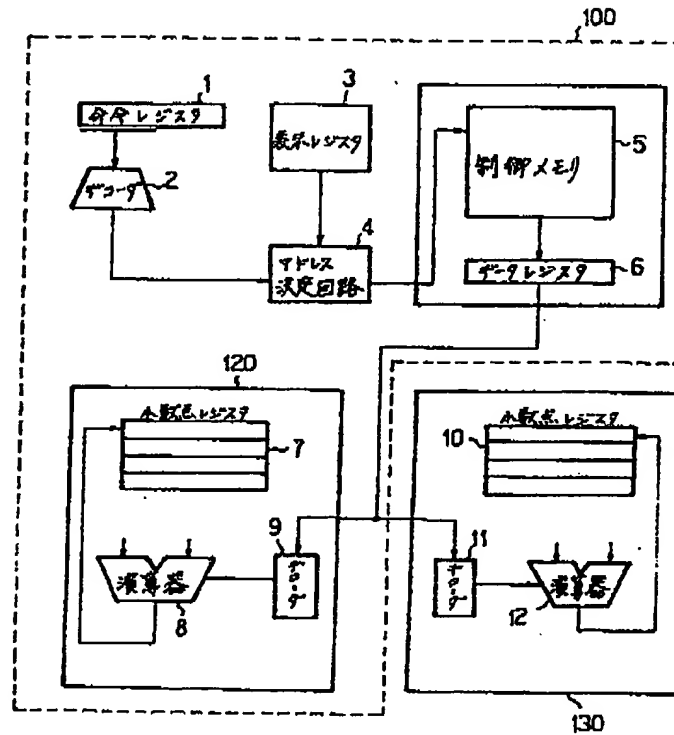
特公 平 3-73003

7

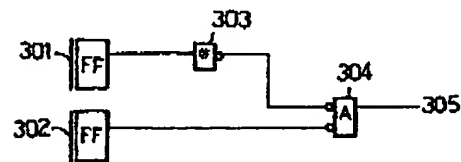
8

.....制御メモリ、6.....データレジスタ、7、1 0 1.....共通領域、5 0 2, 5 0 3.....オーバー
0.....小数点レジスタ、8, 1 2.....演算器、5 イ領域。

第 1 図



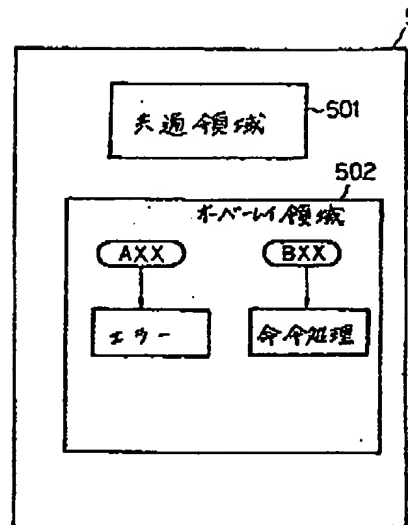
第 2 図



(5)

特公 平 3-73008

第3図



第4図

